

## РАСПАРАЛЛЕЛИВАНИЕ В NP-ПОЛНЫХ ЗАДАЧАХ НА ПРИМЕРЕ ВЫПОЛНИМОСТИ БУЛЕВЫХ ФУНКЦИЙ

Известно, что NP-полные задачи обладают большим потенциальным параллелизмом [1]. Несмотря на то, что есть все основания считать общую трудоемкость таких задач неполиномиальной, при наличии неограниченного вычислительного ресурса за счет распараллеливания можно достичь полиномиально ограниченного относительно их размерности времени решения.

**PARALLELISM IN NP-COMPLETE PROBLEMS SUCH AS SATISFIABILITY PROBLEM** / S. I. Uvarov ( V.A. Trapeznikov Institute of Control Sciences, Profsoyuznaya 65, Moscow 117342, Russia, E-mail: suvarov@ipu.ru). The example of parallel solution of the NP-complete SAT problem is described. It is shown that due to extreme parallelism, such a problem can be solved in parallel with linear time bound.

### 1. Введение

В работе рассматривается задача выполнимости булевых функций, представленных в конъюнктивной нормальной форме. Эта задача является типичным представителем класса NP-полных задач.

Показано, что при достаточном вычислительном ресурсе, экспоненциальном относительно числа булевых переменных, задача может быть решена за время, пропорциональное числу вхождений переменных.

Рассматривается задача выполнимости булевых функций представленных в конъюнктивной нормальной форме. Предполагается, что функция имеет  $N$  булевых переменных  $X_i$ ,  $i=0, \dots, N$ , при том, что  $N$  равно  $2^K$ , и представлена в виде конъюнкции из  $M$  дизъюнктивных наборов этих переменных. В записи функции использовано  $L$  литералов переменных.

В качестве примера рассмотрим функцию

$$(1) \quad F = (\neg X_0 + \neg X_2 + \neg X_1 + X_3 + X_4 + \neg X_5 + X_7)(X_0 + X_1 + X_2)(X_6 + \neg X_4 + X_5 + \neg X_3 + \neg X_7),$$

Запись  $\neg X_i$  означает отрицание булевой переменной  $X_i$  которая может принимать одно из двух логических значений 0 или 1. Запись  $X_i$  или  $\neg X_i$  в теле функции называется литералом переменной. Кодирование каждого литерала использует  $K+1$  разряд.  $K$  разрядов используются для кодирования номера переменной и один разряд для указания возможной инверсии переменной.

Для рассматриваемой булевой функции  $N=8$  ( $K=3$ ),  $M=3$ ,  $L=14$ .

Задача выполнимости булевой функции заключается в отыскании хотя бы одного набора булевых переменных  $X_i$ , при подстановке которого заданная функция принимает значение логической единицы.

В рассмотренном примере выполняющим набором является:  $X_0=1, X_1=0, X_2=0, X_3=0, X_4=0, X_5=0, X_6=0, X_7=0$ .

Задача выполнимости может быть решена последовательной проверкой возможных наборов булевых переменных. Число таких наборов  $2^N$ . При последовательном решении задачи, в худшем случае, может потребоваться проверка всех наборов.

## 2. Спецпроцессор параллельного решения задачи выполнимости булевых функций заданных в конъюнктивной нормальной форме

Очевидно, что при большой трудоемкости задача выполнимости хорошо распараллеливается. При наличии достаточно большого вычислительного ресурса проверка каждого набора может решаться в отдельном процессоре.

Конкретизация процесса параллельного решения задачи выполнимости требует разработки параллельной структуры данных, структуры управления параллельного спецпроцессора, максимального простого процессорного элемента.

Функциональная схема предлагаемого процессорного элемента представлена на рис. 1.

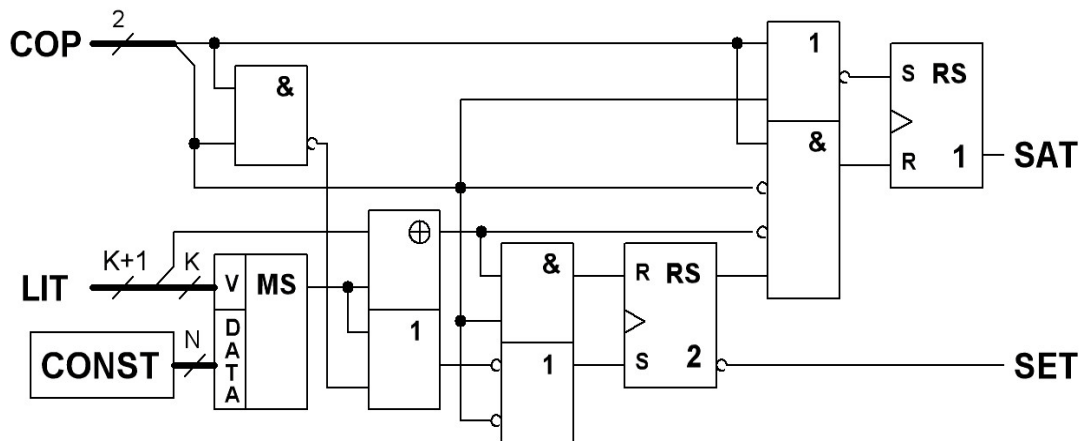


Рис.1.

Спецпроцессор имеет  $2^N$  таких процессорных элементов, каждому из которых присвоен индивидуальный N-разрядный физический номер, заданный константой (*CONST*) на информационном входе мультиплексора.

Кроме N-входного мультиплексора процессорный элемент имеет в своем составе два синхронных RS триггера элемент, суммирования по модулю два, два элемента «ИЛИ» и три элемента «И». После завершения обработки булевой функции первый RS триггер (*SAT*) остается установленным в логическую единицу если код константы процессорного элемента соответствует выполняющему набору функции в противном случае он оказывается сброшенным. Второй RS триггер во время основной работы используется для формирования условия сброса первого RS триггера, он также используется в процессе передачи кода константы (*CONST*) на выход спецпроцессора при считывании выполняющего набора булевой функции.

Структура спецпроцессора параллельно решающего задачу выполнимости булевой функции представлена на рис.2. Спецпроцессор содержит процессорный блок иерархического уровня  $N$  и  $N$ -разрядный сдвиговый регистр, предназначенный для записи выполняющего набора функций.

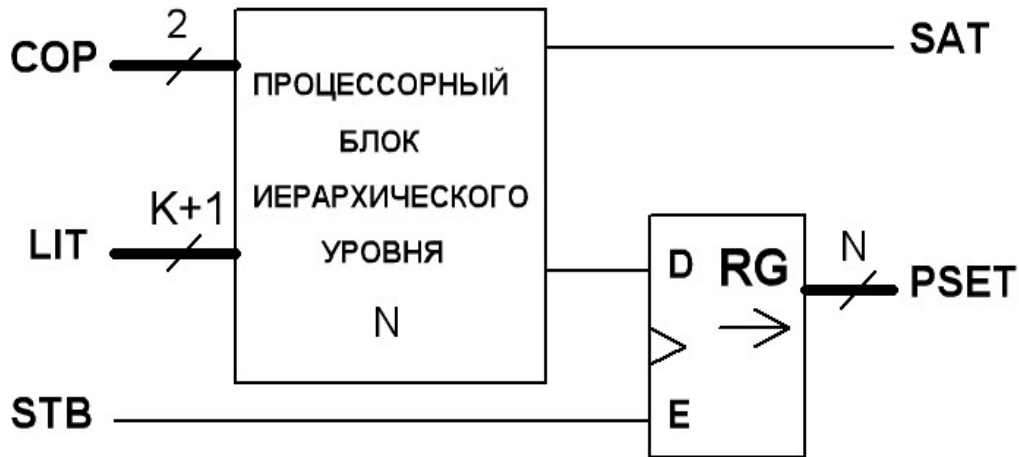


Рис.2.

На рис.3 представлена рекурсивная схема формирования процессорного блока иерархического уровня  $J$  ( $J=1, \dots, N$ ) из двух процессорных блоков иерархического уровня  $J-1$ , дополнительного элемента «ИЛИ» и дополнительного мультиплексора. При этом процессорный элемент, представленный на рис.1 является процессорным блоком иерархического уровня 0.

В процессе работы предлагаемого спецпроцессора непосредственно используется естественная кодировка булевой функции, представленной в конъюнктивной нормальной форме. Запись функции начинается с маркера, в качестве которого использован восклицательный знак «!». За маркером начала следуют записанные через запятую «,» литералы - номера переменных без знака или со знаком «-», входящих в одну дизъюнкцию. Использование знака «-» означает, что в дизъюнкции используется инверсное значение переменной. Запись переменных, принадлежащих дизъюнкции, заканчивается маркером точка с запятой «;» в случае, если дизъюнкция не является последней, и маркером точка «.» , если дизъюнкция является последней в записи функции.

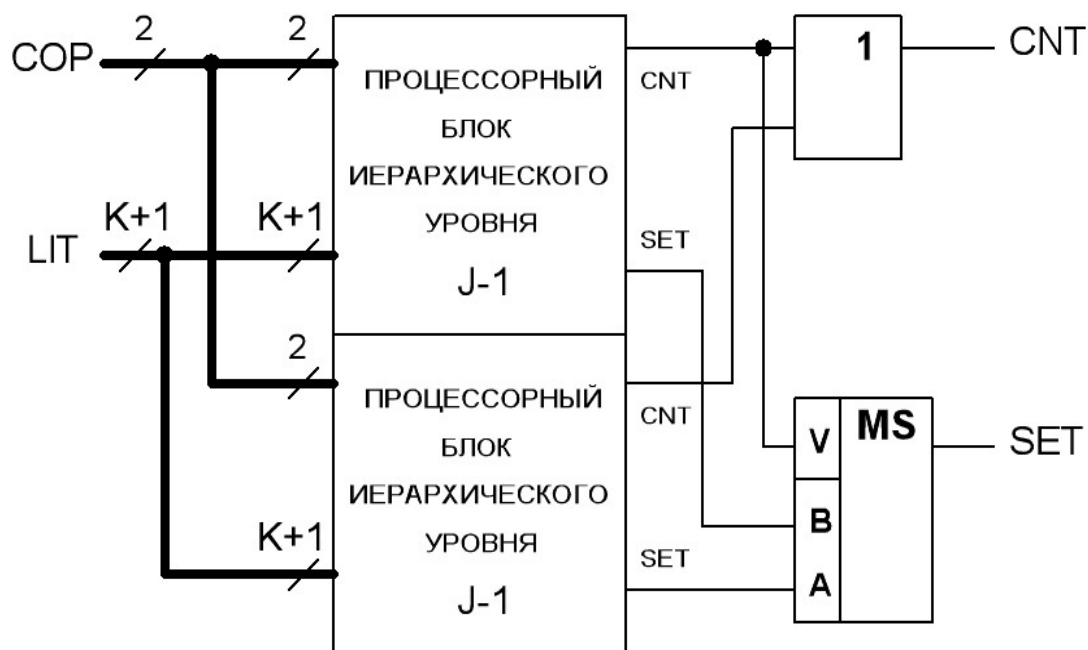


Рис.3.

Например, представленная выше функция записывается в эквивалентном виде

$$(2) \quad !-0,-2,-1,3,4,-5,7;0,1,2;6,-4,5,-3,-7.$$

Спецпроцессор и его устройство управления оперируют со следующей последовательностью  $K+3$ -разрядных информационных слов в буферном ОЗУ устройства управления спецпроцессором:

$$(3) \quad /0!/-0,-2,-1,/3,/4,-5,/7;/0,1,/2;/6,-4,/5,-3/-7./$$

Информационные слова, имеющие последовательные адреса разделены маркером «/».

Используемые при записи формулы знаки препинания кодируются следующим образом «!»=>00, «,»=>01, «;»=>10, «.»=>11. Эти двухразрядные коды являются кодами операций базовых блоков спецпроцессора. Коды управления передаются из буферного ОЗУ в базовые блоки. Буферирование осуществляется на двух D триггерах

### 3. Процесс решения задачи выполнимости булевых функций с использованием описанного спецпроцессора

Данный раздел содержит несколько дополнительных примеров. На рис.4 представлен один из возможных вариантов реализации устройства управления.

Заметим, что представленный на фиг.4 вариант устройства управления преобразует код 11 в последовательность из двух кодов 10 и 11, эта операция осуществляется с использованием RS триггера и ассоциированных с ним логических элементов.

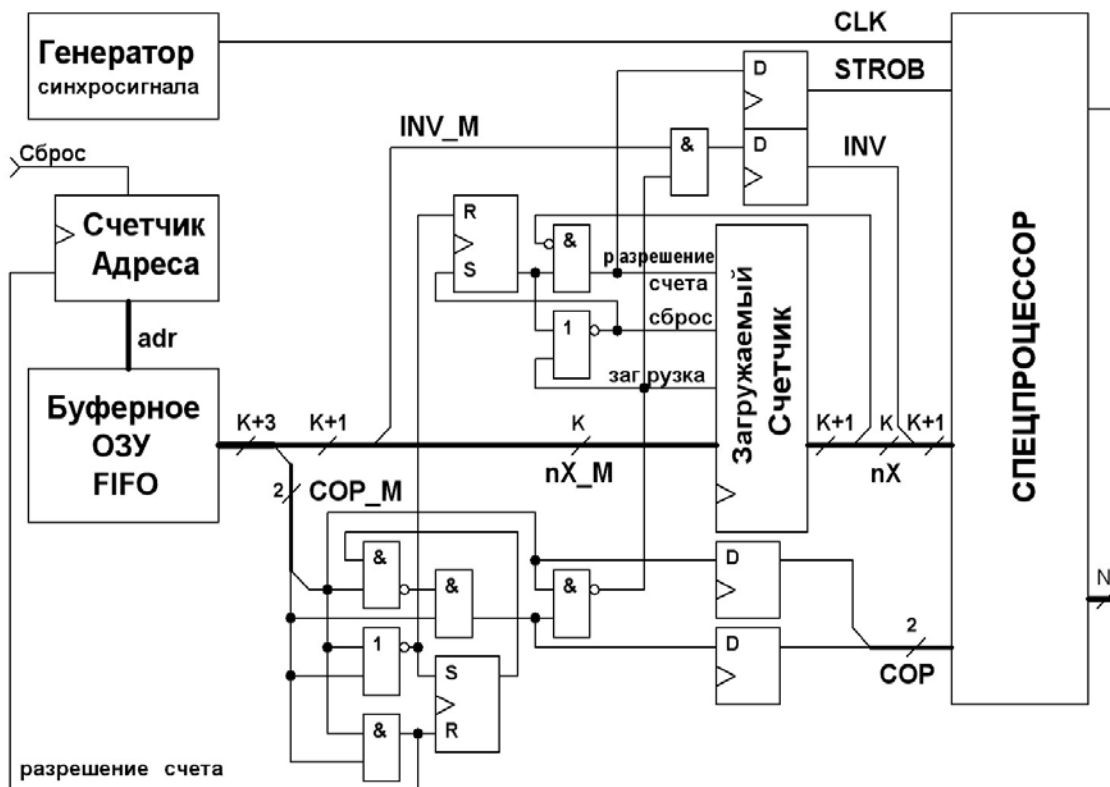
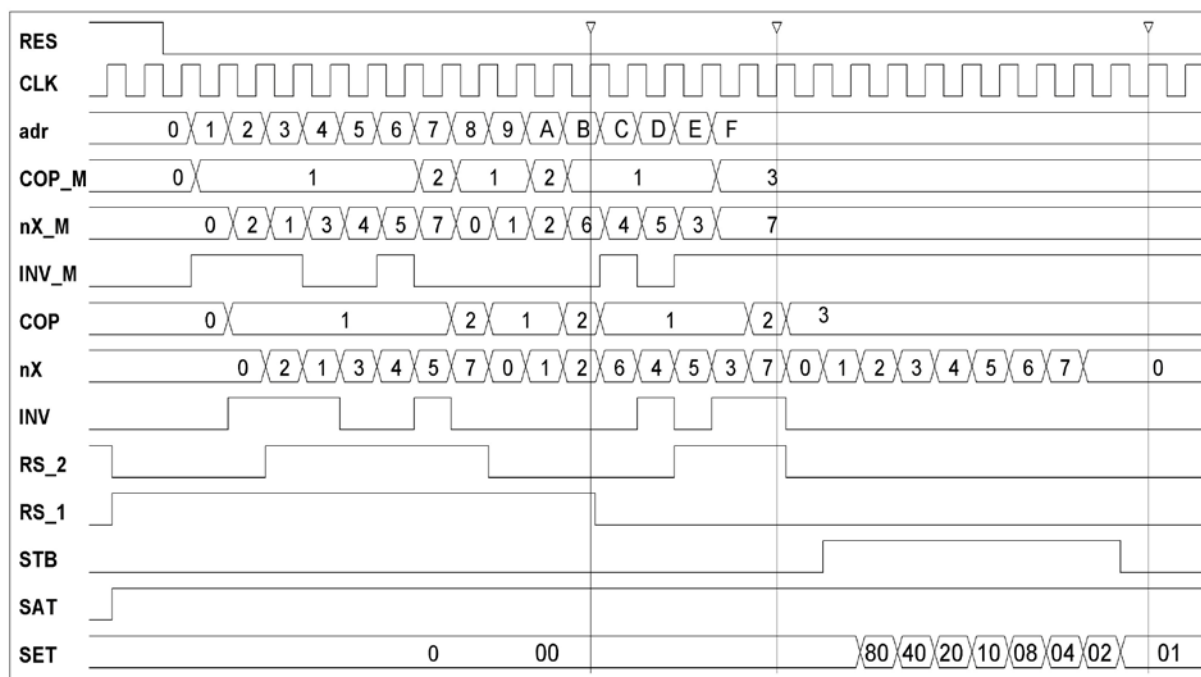


Рис.4.

Значения кодов COP, nX, INV, выбираемых из буферного ОЗУ по последовательным адресам adr, представлены на временной диаграмме фиг.5. COP является двухразрядным кодом маркеров, использованных при записи булевой функции. nX - номера кодированных K разрядами переменных, использованных в дизъюнкциях. Значение INV кодируется единицей, если при записи дизъюнкции используется инверсия переменной.

Младшие K разрядов K+1-разрядного кода на информационном входе 28 базового блока адресуют один из разрядов N-разрядного физического номера. В основном режиме работы спецпроцессора содержимое выбранного разряда nX физического номера сравнивается с INV содержимым старшего разряда K+1-разрядного кода на информационном входе LIT базового блока. Сравнение осуществляется элементом суммирования по модулю два. Если во время действия кода операции «01» на входе LIT базового блока в обрабатываемой дизъюнкции зафиксировано хотя бы одно неравенство, это приводит к сбросу второго RS триггера, что запрещает последующий сброс первого RS триггера. Если во время действия кода операции «10» второй RS триггер остается установленным и на выходе элемента сравнения присутствует потенциал логического нуля, соответствующий равенству, происходит сброс первого RS триггера, и это означает, что кодировка физического номера (CONST) данного процессорного элемента соответствует невыполняющему набору переменных. Фронт синхросигнала, по которому осуществляется сброс первого RS триггера в процессорном элементе с номером 0, на диаграмме фиг.5 отмечен первым курсором. Каждая «правильная» дизъюнкция, в которой переменная может присутствовать либо с инверсией, либо без инверсии, порождает хотя бы один невыполняющий набор. Если в «правильной» дизъюнкции отсутствуют литералы, соответствующие R переменным, такой набор может привести к сбросу первых RS триггеров в  $2^K$  процессорных

элементах. Булева функция выполнима, если после ее обработки хотя бы в одном процессорном элементе первый RS триггер останется в установленном состоянии.



Фиг.5.

В каждом из процессорных элементов установка второго RS триггера выполняется кодами операции «00» и «10» перед началом обработки каждой дизъюнкции. Установка первого RS триггера инициируется кодом операции «00», который вызывает появление единичного потенциала на инверсном выходе элемента «ИЛИ». Код операции «11» переводит второй RS триггер и ассоциированные с ним логические элементы в режим эмуляции D триггера. Этот D триггер осуществляет буферирование информации, поступающей с выхода второго мультиплексора на выход SET базового блока.

В рассматриваемом варианте устройства управление код операции «11» переводит загружаемый счетчик в режим счета. Это приводит к подаче последовательности кодов от 0 до N-1 на информационный вход спецпроцессора, что позволяет передать физический номер процессорного элемента на его выход SET. Момент начала считывания выполняющего набора функции в регистр сдвига отмечен на временной диаграмме фиг.5 вторым курсором. Высокий уровень сигнала STB разрешает запись информации в регистр сдвига.

Дополнительные элементы «ИЛИ» и мультиплексоры блоков всех уровней иерархии образуют самонастраивающийся коммутатор-мультиплексор, который осуществляет побитную передачу на информационный вход регистра сдвига выполняющего набора булевой функции. Этим набором является младший физический номер процессорного элемента, среди всех процессорных элементов первые RS триггеры которых находятся в установленном состоянии. По завершении работы спецпроцессора код SET на выходе регистра сдвига соответствует выполняющему набору для обработанной булевой функции при условии, что на выходе SAT спецпроцессора установлен уровень логической единицы. Момент окончания обработки спецпроцессором рассматриваемой булевой функции на временной диаграмме фиг.5 отмечен третьим курсором.

За счет высокой степени параллелизма обработка булевой функции занимает  $L+N+4$  такта.

Ключевым моментом в параллельном решении задачи выполнимости булевых функций является использование постоянно присутствующей параллельной структуры данных содержащей  $2^N$   $N$ -разрядных физических номеров процессорных элементов (CONST).

#### СПИСОК ЛИТЕРАТУРЫ

1. *М.Гери, Д.Джонсон*. Вычислительные машины и труднорешаемые задачи. «Мир», 1982, 419с.